

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-201801

(43)公開日 平成6年(1994)7月22日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	FI	技術表示箇所
G 0 1 R 31/28				
H 0 1 L 21/66		F 7630-4M		
21/82				
		6912-2G	G 0 1 R 31/28	V
		9169-4M	H 0 1 L 21/82	T
審査請求 未請求 請求項の数2(全7頁)				

(21)出願番号 特願平5-246021

(22)出願日 平成5年(1993)9月8日

(31)優先権主張番号 943623

(32)優先日 1992年9月11日

(33)優先権主張国 米国(US)

(71)出願人 390009597

モトローラ・インコーポレイテッド

MOTOROLA INCORPORATED

アメリカ合衆国イリノイ州シャンパーグ、  
イースト・アルゴンクイン・ロード1303

(72)発明者 ニコラス・ジェイ・スペンス

アメリカ合衆国アリゾナ州メサ、ナンバー  
2048、ウエスト・パセリン1055

(72)発明者 ジェローム・エー・グリュラ

アメリカ合衆国アリゾナ州チャンドラー、  
ウエスト・オーチャッド・レーン1551

(74)代理人 弁理士 本城 雅昭 (外1名)

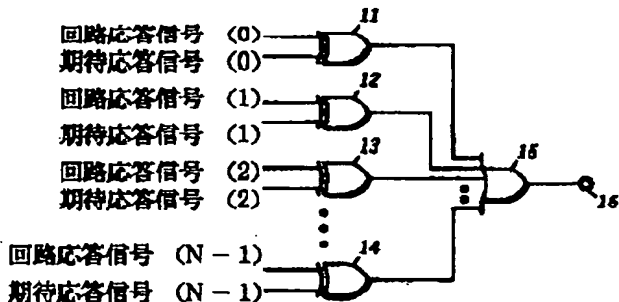
最終頁に続く

(54)【発明の名称】 BIST回路に用いるための改良されたデータ分析器および分析方法

## (57)【要約】

【目的】 比較およびシグネチャ分析の両方の分析を行うことができ、しかも必要とするゲート・カウントは最少の、BIST回路において用いるためのデータ分析器を提供する。

【構成】 このデータ分析器は、回路の応答データ流に対して、比較分析およびシグネチャ分析の双方を行うことができるものである。前記データ分析器は、直列結合された複数のデータレジスタ(32)を含んでおり、各データ・レジスタは、前記回路の応答データ流の1データ・ビットについて、比較分析およびシグネチャ分析を行うことができる。これによって、被検査回路の故障の有無について、完全かつ全体的に検査することが可能となる。



(2)

特開平6-201801

1

## 【特許請求の範囲】

【請求項1】組み込み型自己検査(BIST)回路において、比較分析およびシグネチャ分析の双方を、ある回路に行うためのデータ分析器であって：直列に結合され、前記回路からの複数の出力信号にตอบสนองする、複数のデータレジスタ(32)であって、前記複数のデータレジスタの各々は、1つの入力と1つの出力とを有し、更に：

(a)前記回路からの前記出力信号の1つを、期待信号と比較する第1手段(42、44)であって、1つの出力を有する前記第1手段；

(b)前記回路からの前記出力信号の前記1つを、前記回路からの前記出力信号の別の1つと組み合わせる第2手段(52)であって、1つの出力を有する前記第2手段；

(c)前記複数のデータレジスタが比較分析またはシグネチャ分析のどちらを行うかを、交互に選択する制御信号にตอบสนองする第3手段(62)であって、複数の入力を有し、前記複数の入力の内第1入力は前記第1手段の前記出力に結合されており、前記複数の入力の内第2入力は前記第2手段の前記出力に結合されており、前記複数の入力の内第3入力は、その各データレジスタの前記出力に結合され、前記複数のデータレジスタの前の隣接したデータレジスタからの出力を受け取り、更に1つの出力を有する前記第3手段；および

(d)クロック信号にตอบสนองして、前記第3手段の前記出力に現れる値を記憶する第4手段(36)であって、前記第3手段の前記出力に結合された1つの入力と、その各データレジスタの前記出力に結合された1つの出力とを有する前記第4手段；から成る、前記複数のレジスタ、から成ることを特徴とするデータ分析器。

【請求項2】あるデータ・ビットに比較分析およびシグネチャ分析を行う方法であって：

(a)前記データ・ビットを期待データ・ビットと比較し、第1出力信号を発生し、前記第1出力信号は、前記データ・ビットと前記期待データ・ビットが論理的に異なる時、一方の論理状態となるようにするステップ；

(b)前記データ・ビットを少なくとも1つの他のデータ・ビットと組み合わせて、第2出力信号を供給するステップ；

(c)前記第1または第2出力信号の一方を選択するステップ；および

(d)前記ステップ(c)で選択された信号を出力にラッチするステップ；から成ることを特徴とする方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、一般的に、組み込み型自己検査(BIST: built-in self test)回路に関し、特に、素子の完全な自己検査を行うデータ分析器に関するものである。

2

## 【0002】

【従来の技術】しばしば用途指定集積回路(ASIC: application specific integrated circuit)または標準セルと呼ばれる、コンパイラ開発型集積回路を受け入れたことによって、それらの方法で製造された多種多様の回路に対する検査技術を改良する必要性が、増々高まることとなった。半導体製造過程が改善されたため、半導体素子の複雑性も高まり、一方コンパイラ設計技術は多くの異なる半導体素子の設計を迅速に進展させる手段を提供した。

【0003】結果的に複雑なASIC半導体素子の急増によって、柔軟性があり、しかもASICの設計と同時にコンパイルすることができる検査方法に対する必要性が高まった。一般的に組み込み型自己検査(BIST)と呼ばれる技術は、ASIC素子の検査を行うための回路を、ASIC素子上に配置したものである。BISTは、ASIC素子上に埋め込まれたスタティック・ランダム・アクセス・メモリ(SRAM)のブロックを含むASIC素子ととして、増々重要となってきた。

【0004】BISTに関連する必須な要素は、1) BIST制御器、2) データ発生器、およびデータ分析器の3つである。

【0005】BIST制御器は、BIST動作のための同期および制御信号を供給するものである。データ発生器は、被検査回路(ASIC)に刺激を与えるものである。最後に、データ分析器は、被検査回路からの応答を簡潔にまとめて(compacting)、結果を形成するものである。

【0006】データ分析器は、典型的に、1) 比較分析、および2) シグネチャ分析の2種類のデータ分析を行う。比較分析では、被検査回路からの出力流を、期待されるデータ流と比較する。2つのデータ流間に差が見いだされた時はいつでも、エラーが検知(flag)され、データ分析器内に保持される。検査の終了時に、データ分析器の内容を試験して、故障の位置を突き止めることができる。比較分析の利点は、故障発見が容易に行えることである。しかしながら、比較分析は、比較分析回路内に不良があると、故障の検出が妨げられるという欠点がある。

【0007】シグネチャ分析では、被検査回路からの出力を、線型フィードバック・シフト・レジスタ(LFSR)を用いて、データ分析器の内容と組み合わせる。LFSRは、応答と時間とがシグネチャの一部を形成することを保証するものである。検査の終了時に、LFSR内に結果的に得られたシグネチャを引き出して(scan out)、既知の正常なシグネチャと比較する。シグネチャ分析には、被検査回路だけでなくBISTの全構成要素も検査することができるという利点がある。しかしながら、シグネチャ検査の欠点は、故障の位置が判断できないこと、およびシグネチャのアリアシン

## 3

グ(aliasing)のために故障した回路を認識できる確率が小さいことである。

## 【0008】

【発明が解決しようとする課題】従来技術のBIST回路は、比較分析またはシグネチャ分析を行うための回路を含んでいるが、両方を含んだものはない。その主な理由は、両方のタイプの分析を1つのASICに組み込むと、余りに多くの回路を消費するからであろう。しかしながら、各タイプの分析には、前述のように欠点がある。結果として、完全かつ全体的なACIS検査を行うためには、比較分析とシグネチャ分析の双方が必要となる。

【0009】したがって、比較分析およびシグネチャ分析の双方を行い、しかも最少の回路のみを用いることによって、ASICの完全な自己検査を行うように、データ分析器を改善する必要性が存在するのである。

## 【0010】

【課題を解決するための手段】上述の課題を解決するために、本発明は、比較およびシグネチャ分析の両方の分析を行うことができ、しかも必要とするゲート・カウントは最少の、BIST回路において用いるためのデータ分析器を提供する。

【0011】本発明によるデータ分析器は、回路の応答データ流に対して、比較分析およびシグネチャ分析の双方を行うことができる。前記データ分析器は、直列結合された複数のデータレジスタ(32)を含んでおり、各データレジスタは、前記回路の応答データ流の1データビットについて、比較分析およびシグネチャ分析を行うことができる。これによって、被検査回路の故障の有無について、完全かつ全体的に検査することが可能となる。

【0012】前記複数のレジスタは、各々1つの入力と1つの出力とを有する。更に、各レジスタは、(a)前記回路からの前記出力信号の1つを、期待信号と比較し、1つの出力を有する第1手段、(b)前記回路からの前記出力信号の前記1つを、前記回路からの前記出力信号の別の1つと組み合わせ、1つの出力を有する第2手段、(c)前記複数のデータレジスタが比較分析またはシグネチャ分析のどちらを行うかを、交互に選択する制御信号にตอบสนองし、複数の入力を有し、前記複数の入力の内第1入力は前記第1手段の前記出力に結合されており、前記複数の入力の内第2入力は前記第2手段の前記出力に結合されており、前記複数の入力の内第3入力は、その各データレジスタの前記出力に結合され、前記複数のデータレジスタの前の隣接したデータレジスタからの出力を受け取り、更に1つの出力を有する第3手段、および(d)クロック信号にตอบสนองして、前記第3手段の前記出力に現れる値を記憶し、前記第3手段の前記出力に結合された1つの入力と、その各データレジスタの前記出力に結合された1つの出力とを有する第4手

## (3)

特開平6-201801

## 4

段、から構成されるものである。

## 【0013】

【実施例】図1を参照すると、比較分析を行う従来技術のデータ分析器を表わす、詳細概略図が示されている。このデータ分析器は、排他的OR(XOR)ゲート11~14を含んでおり、これらの出力は各々、ORゲート15の各入力に結合されている。排他的ORゲート11~14の第1入力は、それぞれ回路応答信号(CIRCUIT RESPONSE(X))を受け取るように結合されており、一方排他的ORゲート11~14の第2入力は、それぞれ期待応答信号(EXPECTED RESPONSE(X))を受け取るように結合されている。ORゲート15の出力は端子16に結合されている。4つの排他的ORゲートのみが示されているが、N個の回路応答をN個の期待される応答と比較するためのN個の排他的ORゲートが存在することは、理解されよう。

【0014】動作中、回路からの出力データ流(回路応答)は、排他的ORゲート11~14によって、期待データ流と比較され、これら2つのデータ流間に差が見いだされた時はいつでも、それぞれの排他的ORゲートの出力に論理1が現れるようにしてある。更に、この論理1は、ORゲート15を通過して伝搬し、端子16に現れる。結果的に、検査の終了時に、端子16に現れるデータ流を、論理1の発生について試験することができ、これによって故障が生じたことを指示することができる。

【0015】比較分析は、端子16に順番に現れる連続した出力によって、故障の位置を判別する能力を有する。しかしながら、比較分析回路内で不良(FAULT)が発生した場合、このような不良は、故障の検出を妨げることになりかねない。例えば、排他的ORゲート11が論理0に固定されてしまうと(stick)、CIRCUIT RESPONSE(0)がEXPECTED RESPONSE(0)と異なっているとしても、論理0が排他的ORゲート11の出力に現れ続けよう。このように、エラーが検出されなくなってしまう。

【0016】図2を参照すると、シグネチャ分析を行うための従来技術のデータ分析器を表わす部分的概略/ブロック図が示されている。シフトレジスタ21~24が、線型フィードバック・シフト・レジスタ(LFSR: linear feedback shift register)を形成するように結合されており、最高次のシフト・レジスタ段(24)の出力が、1つ以上の他のシフト・レジスタ段(21~23)の入力にフィードバックされている。各段は、信号CLKを受けるように結合されたクロック入力を有する。シフト・レジスタ21のデータ入力は、CIRCUIT RESPONSE(0)とシフト・レジスタ24の出力との排他的ORを受け取るように結合される。シフト・レジスタ22の

(4)

特開平6-201801

5

データ入力、シフト・レジスタ21の出力とCIRCUIT RESPONSE (1)とを受け取るように結合される。シフト・レジスタ23のデータ入力は、シフト・レジスタ22の出力、CIRCUIT RESPONSE (2)、およびシフト・レジスタ24の出力の排他的ORを受け取るように結合される。最後に、シフト・レジスタ24のデータ入力は、CIRCUIT RESPONSE (N-1)と、前のシフト・レジスタの出力とを受け取るように結合される。4つのシフト・レジスタのみが示されているが、N個の回路応答を担当するN個のシフトレジスタがあることは、理解されよう。更に、最高次のフィード・バック段にあるシフト・レジスタ24の出力のフィードバックが選択され、端子26に現れる出力の連続が所定のシグネチャの連続を発生するようになっていることも理解されよう。更にまた、データを蓄積し、フィードバックによってデータをシフトし、そして更にデータを蓄積するなどの、この手順は並列シグネチャ分析と呼ばれ、一方シフトレジスタ21~24は並列シグネチャ分析レジスタと呼ばれていることも理解されよう。

【0017】自己検査の終了時に、SRAMに記憶されている全ての情報のシグネチャを表わすワードが、シフトレジスタに含まれている。このシグネチャを既知の正常なSRAMのシグネチャと比較して、被検査SRAMが不良を有するか判定することができる。このシグネチャ分析は、被検査回路だけでなくBISTの全ての構成要素も検査するという利点がある。しかしながら、故障の位置を、シグネチャ分析で判定することはできない。更に、異なる回路応答が所定の所望のシグネチャを与える現象である、シグネチャのアリアシングのために、故障した回路を認識できない確率も少しある。

【0018】本発明は、比較およびシグネチャ分析の両方の欠点を認め、双方のタイプの分析を行い、しかも必要とするゲート・カウントは最少の改良されたデータ分析器を提供するものである。こうするために、本発明は、データ分析器のある数のデータレジスタで構成し、1つのレジスタが分析される各データビットに対応するようにした、ビット・スライス (bit slice) 法を取り入れている。

【0019】図3を参照すると、4ビット幅の回路応答データ流を分析するためのBISTデータ分析器30が示されている。BISTデータ分析器30は、参照番号32で示されている4個のデータレジスタを含んでおり、各データレジスタが4ビットの回路応答データ流の1ビットを分析するようにしてある。(典型的に4ビット幅のRAMからの) 4ビットデータ流を分析するための4つのデータレジスタのみを示しているが、データレジスタの数は、検査対称のRAMの具体的なサイズにしたがって変更できることは理解されよう。例えば、8ビットRAMを検査するのであれば、データ分析器30

6

は、少なくとも8個の連鎖状データレジスタを含むことになる。図3から判るように、データレジスタ(32)は直列に結合されており、前のデータ・レジスタの出力は次のデータ・レジスタの入力に結合されているので、これらデータ・レジスタからSCAN CHAIN信号を読み出すことができるようになっている。更に、最後で最高次のものでデータ・レジスタのデータレジスタの出力は、端子36に結合されている。

【0020】本発明は、比較およびシグネチャ分析の両方を、各4-ビット回路応答データ流上で行うことができるように、データレジスタ(32)内で用いられる回路を含んでいる。図4を参照すると、比較分析を行う回路を含む、データ・レジスタ32の第1実施例が示されている。図4に示されているデータ・レジスタ32は、回路応答データの1ビットを分析するために利用される。特に、データ・レジスタ32は、排他的ORゲート42を含んでおり、この第1入力はCIRCUIT RESPONSE (X)を受け取るように結合されている。CIRCUIT RESPONSE (X)は、4ビットの回路応答データ流からのビットのいずれか1つとすることができる。排他的ORゲート42の第2入力は、CIRCUIT RESPONSE (X)に対する期待データビット値である、EXPECTED RESPONSE (X)を受け取るように結合されている。排他的ORゲート42の出力は、ORゲート44の第1入力に結合されており、一方ORゲート44の第2入力は、シフト・レジスタ46の出力に結合されている。ORゲート44の出力は、マルチプレクサ48の第1入力(A)に結合されている。マルチプレクサ48の第2入力(B)は、シフト・レジスタ46の出力に結合されており、一方マルチプレクサ48の第3入力(C)は、信号SCAN INを受け取るように結合されている。マルチプレクサ48の選択入力は、2ビット幅の制御信号MODEを受け取るように結合されている。マルチプレクサ48の出力は、シフトレジスタ46のデータ入力に結合されている。シフト・レジスタ46のクロック入力は信号CLKを受け取るように結合されており、一方出力は信号SCAN OUTを供給する。

【0021】動作中、データ・レジスタ32は、信号MODEの論理値に応じて、1) 比較分析モード、2) ホールドモード、および3) スキャンモードの3つの異なるモードの1つで動作することができる。比較分析モードでは、マルチプレクサ48が、その第1入力に現れる信号をその出力に通過させるように設定される。そして、データ・レジスタ40はCIRCUIT RESPONSE (X)について比較分析を行い、CIRCUIT RESPONSE (X)がEXPECTED RESPONSE (X)と異なる時、排他的ORゲート42の出力が論理1となるようにしてある。この論理1は、ORゲート44およびマルチプレクサ48を介して伝搬

(5)

特開平6-201801

7

し、シフト・レジスタ46のデータ入力に現れる。したがって、シフト・レジスタ46の次のクロッキング時に、論理1がシフト・レジスタ46の出力に現れる。一旦エラーが検出されてシフト・レジスタ46の出力に伝搬したなら、マルチプレクサの第1入力に現れた論理1はセットされたままとなることを保証するために、ORゲート44が設けられていることは、理解されよう。

【0022】ホールド・モードでは、マルチプレクサ48は、その第2入力に現れた信号をその出力に通過させ、これによって一旦BISTモードが完了したなら結果を保持するように設定される。したがって、ホールド・モードの間、シフト・レジスタ46の出力は、単にマルチプレクサ48を介して、シフト・レジスタ46のデータ入力にフィードバックされるだけである。これは、検査すべき多数のRAMがあり、第1RAMの検査結果を保持しつつ、第2RAMの検査を行うような時に、特に有用である。

【0023】スキャン・モードでは、マルチプレクサ48は、その第3入力に現れた信号をその出力に通過させるように、設定される。スキャン・モードでは、信号SCAN INが、マルチプレクサ48を介して、シフト・レジスタ46のデータ入力に渡され、シフト・レジスタ46をクロックする時に、信号SCAN INがシフト・レジスタ46の出力に現れ、これがSCAN OUTとして与えられる。データ・レジスタ32にSCAN INおよびSCAN OUT信号を供給することによって、スキャン連鎖が形成され、各ビットに対する結果を読み出すことができるようになる。信号SCAN INおよびSCAN OUTが、図3に示すSCAN CHAIN信号の存在をもたらしている、即ち、あるデータ・レジスタの信号SCAN INは、前のデータ・レジスタのSCAN OUT信号となっていることは理解されよう。例えば、図4のデータ・レジスタ32が、図3に示す第2データ・レジスタの位置にある場合、図4のデータ・レジスタ32のSCAN IN信号は、図3に示す第1データ・レジスタのSCAN OUT信号であり、一方図4のデータ・レジスタ32のSCAN OUT信号は、図3の第3データ・レジスタのためのSCAN IN信号となる。

【0024】図5を参照すると、シグネチャ分析を行う回路を含むデータ・レジスタ32の第2実施例が示される。特に、図5のデータ・レジスタ32は、排他的ORゲート52を含んでおり、その第1入力はCIRCUIT RESPONSE (X)を受け取るように結合され、第2入力は信号FEEDBACKを受け取るように結合されており、そして第3入力は信号SCAN INを受け取るように結合される。排他的ORゲート52の出力は、マルチプレクサ54の第1入力(A)に結合される。更に、マルチプレクサ54の第2入力(B)はシフト・レジスタ56の出力に結合されており、一方マル

8

チプレクサ54の第3入力(C)は信号SCAN INを受け取るように結合される。マルチプレクサ54の出力は、シフト・レジスタ56のデータ入力に結合されており、後者のクロック入力は、信号CLKを受け取るように結合される。更に、シフト・レジスタ56の出力は信号SCAN OUTを供給する。

【0025】図5のデータ・レジスタ32は、CIRCUIT RESPONSE (X)を、信号SCAN INによる前のデータ・レジスタの内容と、信号FEEDBACKによる線型フィードバック・シフト・レジスタ項の内容とを組み合わせる。すなわち、フィードバックされる信号は、スキャン連鎖内の最高次のシフト・レジスタの出力に現れる信号である。したがって、図3を参照すると、最後の最も右側のデータ・レジスタが、スキャン連鎖中の最高次データ・レジスタである。図6のデータ・レジスタ32は常に3入力排他的ORゲート52を含んでいるが、フィードバック信号は、どの最終結果シグネチャ多項式を所望するかに応じて、スキャン連鎖内の選択されたデータ・レジスタにのみ印加されること

は、理解されよう。ここで、フィードバック信号が排他的ORゲート52の入力に印加されなければ、その各入力は低に結合される。図5のデータ・レジスタ32は、信号MODEの論理状態に応じて、1)シグネチャ分析モード、2)ホールド・モード、および3)スキャン・モードの3つの異なるモードの1つで動作することができる。シグネチャ分析モードでは、マルチプレクサ54は、その第1入力に現れる信号をその出力に通過させるように、設定される。データ・レジスタ32は、排他的ORゲート52によって、信号FEEDBACK、信号SCAN INおよびCIRCUIT RESPONSE (X)を組み合わせ、これによって、CIRCUIT RESPONSE (X)上に現れたデータに対して、シグネチャ分析が行えるようにする。したがって、適当な論理値がXORゲート52の出力に結果的に得られない場合、この故障に起因するシグネチャが、マルチプレクサ54およびシフト・レジスタ56を通じて伝搬し、最終的に検査の終了時に検出され、リアリシングは起こらなかったと見なされる。

【0026】図5の回路についてのホールドおよびスキャン・モードは、図4について先に説明したホールドおよびスキャン・モードと同一なので、その追加説明は不要であろう。

【0027】図6を参照すると、比較およびシグネチャ分析の双方を行う回路を含む、データ・レジスタ32の第3実施例が示されている。図4および図5に示された構成要素と同一の図6に示された構成要素は、同一参照番号で識別されていることは、理解されよう。図6のデータ・レジスタ32は更に、4入力マルチプレクサ62を含んでおり、その第1入力(A)はORゲート44の出力に結合されており、第2入力(B)は排他的OR

(6)

特開平6-201801

9

ゲート52の出力に結合されており、第3入力(C)はシフト・レジスタ46の出力に結合されており、そして第4入力(D)はSCAN INを受け取るように結合されている。本質的には、マルチプレクサ62は、マルチプレクサ48および54の双方の機能を組み込んでおり、図6のレジスタ32が、1) 比較分析モード、2) シグネチャ分析モード、3) ホール・ドモード、および4) スキャン・モードの4つのモードのいずれかで動作することができるようにしたものである。図6のデータ・レジスタ32の回路が図3のデータ分析器30のデータレジスタに組み込まれると、データ分析器30は、4ビットのデータ回路の応答データ流に対して、比較分析とシグネチャ分析との両方を行うことができるようになることが、理解されよう。特に、第1モード中、図6のデータ・レジスタ32は比較分析を行い、第2モード中、図6のデータ・レジスタ32はシグネチャ分析を行い、各分析の結果は別個に読み取ったり、或は最終的に組み合わせることができる。結果として、本発明は、最少の回路を利用しつつ、比較およびシグネチャ分析の双方を行うことができるように、改良されたデータ分析器(30)を提供するものである。例として、図4に示す回路は、20の全ゲート・カウントを必要とするが、一方図5に示す回路は21の全ゲート・カウントを必要とする。しかしながら、図4および図5のデータレジスタの機能を組み合わせて図6のデータ・レジスタを形成すると、必要とされるゲート・カウントは僅か29ですむ。

【0028】先の説明から、BIST回路に用いるための新規なデータ分析器が提供されたことが、ここで明白となった。このデータ分析器は、回路の応答データ流に対して、比較分析およびシグネチャ分析の双方を行うことができるものである。このデータ分析器は、直列結合された複数のデータレジスタを含んでおり、各データ・レジスタが、回路の応答データ流の1データ・ビットに対して、比較分析およびシグネチャ分析を行うことがで

10

きるようになっている。このため、被検査回路の故障の有無を完全にかつ全体的に検査することができる。

【0029】以上本発明をその具体的実施例に関して説明したが、先の記載に基づいた多くの変更、改造および変容が、当業者には明白であることは、明らかである。例えば、本発明はRAMの試験について説明したが、本発明はいかなるタイプの論理ブロックにも利用することができることは理解されよう。したがって、そのような変更、改造および変容は、添付の特許請求の範囲内に、含まれることを意図している。

#### 【図面の簡単な説明】

【図1】比較分析を実施する従来技術のデータ分析器を示す、詳細概略図。

【図2】シグネチャ分析を実施する従来技術のデータ分析器を示す、部分的概略ブロック図。

【図3】本発明による、比較分析とシグネチャ分析との両方を実施する回路を示すブロック図。

【図4】比較分析を行うための、図3に示したデータレジスタの第1実施例を示す、部分的概略/ブロック図。

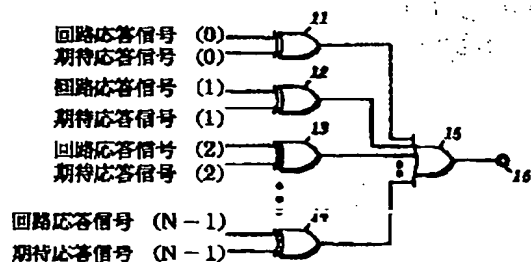
【図5】シグネチャ分析を行うための、図3に示したデータレジスタの第2実施例を示す、部分的概略/ブロック図。

【図6】比較分析とシグネチャ分析との両方を行うための、図3に示したデータレジスタの第3実施例を示す、部分的概略/ブロック図。

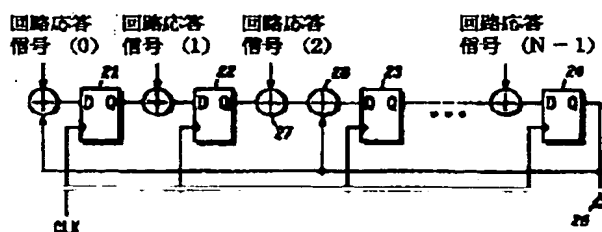
#### 【符号の説明】

- 30 BISTデータ分析器
- 32 データ・レジスタ
- 36 端子
- 40 データ・レジスタ
- 42 排他的ORゲート
- 44 ORゲート
- 46 シフト・レジスタ
- 48 マルチプレクサ

【図1】



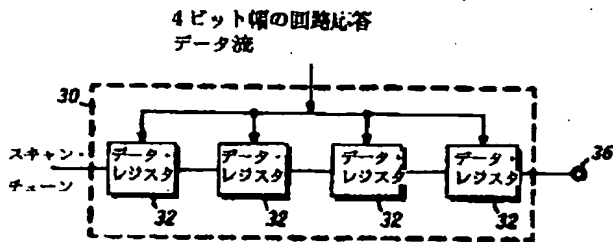
【図2】



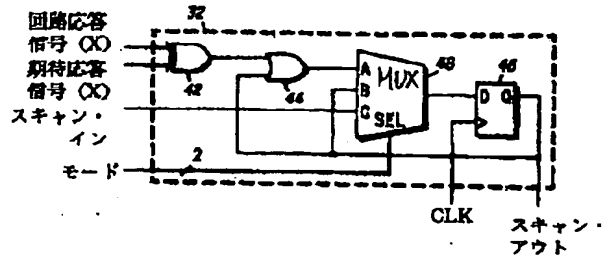
(7)

特開平6-201801

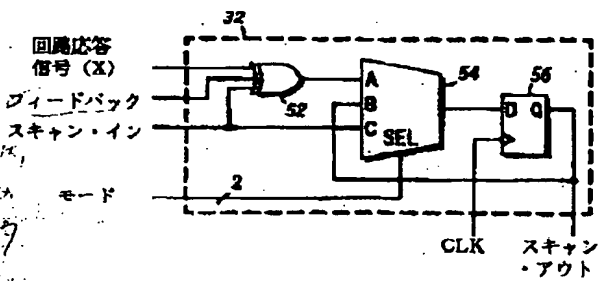
【図3】



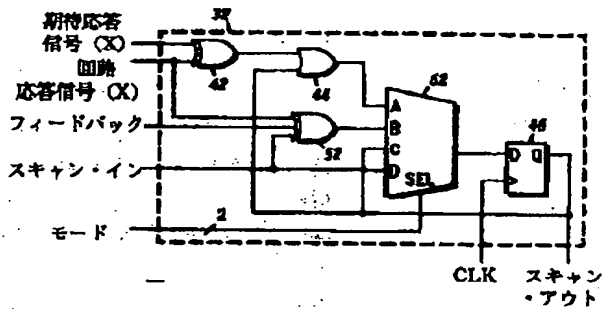
【図4】



【図5】



【図6】



フロントページの続き

(72) 発明者 グレン・ディー・キャビィ  
 アメリカ合衆国アリゾナ州ギルバート、ウ  
 エスト・サン・ペドロ325